

(1) Japanese Patent Application Laid-Open No. 3-248458 (1991)
"Poly-Silicon Resistor for Semiconductor Integrated Circuit"

The following is English translation of page 2, upper-right section, line 19 to lower-left section, line 6 of the document.

In order to stabilize the resistance of the poly-silicon resistor (7), a contact (6) to a P⁺-type layer (5) is provided on the outside of a region of the poly-silicon resistor (7) interposed between metal wirings 8 and 8a. A P-N junction between the P⁺-type layer (5) and an N⁻-type epitaxial layer (2), which holds the highest electric potential, prevents a leak current from flowing across the poly-silicon resistor (7) and the N⁻-type epitaxial layer (2).

The following is English translation of page 2, lower-left section, line 20 to lower-right section, line 4 of the document. The translator added the symbols in brackets.

Since the poly-silicon resistor [7] is provided with the contact [6] at its end portion as a heat dissipation path, it functions as a stable resistance element, suppressing the temperature rise without the parasitic capacitance enlarged.

The following is English translation of page 3, upper-right section, lines 9 to 12 of the document. This part provides the description of the symbols shown in the figures.

1...P-type silicon substrate, 2...N⁻ epitaxial layer, 3...field oxide film, 4...silicon nitride film, 5...P⁺ type layer, 6...poly-silicon contact, 7...poly-silicon resistor, and 8, 8a...metal wirings.

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-248458

⑤ Int. Cl.⁵
H 01 L 27/04

識別記号 庁内整理番号
P 7514-5F

④ 公開 平成3年(1991)11月6日

審査請求 未請求 請求項の数 2 (全3頁)

⑬ 発明の名称 半導体集積回路用ポリシリコン抵抗

⑰ 特 願 平2-46151

⑱ 出 願 平2(1990)2月26日

⑲ 発 明 者 喜 多 村 隆 弘 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 澤 入 明 弘 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路用ポリシリコン抵抗

特許請求の範囲

1. シリコン基板上に絶縁膜を介して形成されたポリシリコン抵抗の一部が、前記絶縁膜を貫通して前記シリコン基板との接触部を有することを特長とする半導体集積回路用ポリシリコン抵抗。

2. 配線金属との接続部に挟まれた領域の外周に前記接触部を有する請求項1記載の半導体集積回路用ポリシリコン抵抗。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路用ポリシリコン抵抗に関するものである。

〔従来の技術〕

従来技術による半導体集積回路用ポリシリコン

抵抗について平面図である第2図(a)とそのA-B断面図である第2図(b)とを参照して説明する。

P型シリコン基板1の表面に形成したN⁻型エピタキシャル層2の上にフィールド酸化膜3を介してポリシリコン抵抗部7が形成されている。

ポリシリコン抵抗部7は窒化シリコン膜4に設けた開口を通して配線金属8、8aと接続され、さらに表面保護用の窒化シリコン膜9で被覆されている。

ポリシリコン抵抗部7は、配線金属8、8aとの接続部を除いて熱伝導率の小さいフィールド酸化膜3または窒化シリコン膜4で覆われている。

しかし単結晶シリコンの比誘電率 ϵ_r が12であるのに対して、酸化シリコン膜の ϵ_r は1.4と小さい。

さらにポリシリコン抵抗部7は厚いフィールド酸化膜3の上に形成されているため、P-N接合によって絶縁分離されている単結晶シリコン抵抗と比較して、N⁻型エピタキシャル層2またはP

型シリコン基板1との寄生容量がはるかに小さいという特長がある。

〔発明が解決しようとする課題〕

従来技術による半導体集積回路用のポリシリコン抵抗は、熱伝導率が単結晶シリコンやポリシリコンの約1/100の酸化シリコン膜あるいは窒化シリコン膜に囲まれている。

そのためポリシリコン抵抗に発生した熱の放散が少ない。

また配線金属を経由して酸化シリコン膜を伝わり、シリコン基板に排出される放熱経路においては、配線金属として多用されるアルミニウムは、高速化・高集積化に伴ない配線金属の占有面積が限定されるので、その放熱効果も僅かになってくる。

したがってポリシリコン抵抗は発生した熱が放散しにくく、温度が上昇し易いため負の温度係数をもっている場合、抵抗値が下がりさらに電流が増加して暴走してしまい、著しく信頼性が低下する。

P⁺型層5とのポリシリコン接触部6を設けている。

小面積のP⁺型層5と接触しているポリシリコン抵抗部7は、最高電位にあるN⁻型エピタキシャル層2とP-N接合によって電流が洩れるのを防いでいる。

また配線金属8または8aが電源に接続される回路構成の場合は、ポリシリコン抵抗部7の電位が一定に保たれるため回路動作に影響を与えないので、P⁺型層5に寄生するP-N接合容量が小さいというポリシリコン抵抗の特長を損なわない。

本実施例で用いていた窒化シリコン膜4、9の代りに酸化膜やPSG膜などの絶縁膜を用いることもできる。

さらにP型ポリシリコン抵抗の代りに、導電型を変更することによりN型ポリシリコン抵抗に適用することができる。

〔発明の効果〕

ポリシリコン抵抗の端部にシリコン基板との接

〔課題を解決するための手段〕

本発明の半導体集積回路用ポリシリコン抵抗は、シリコン基板上に絶縁膜を介して形成され、その配線金属との接続部に挟まれた領域の外側の一部が、絶縁膜を貫通してシリコン基板との接触部を有するものである。

〔実施例〕

本発明の一実施例について、平面図である第1図(a)とそのA-B断面図である第1図(b)とを参照して説明する。

P型シリコン基板1の表面に、N⁻型エピタキシャル層2が成長され、その表面にP⁺型層5が形成され、フィールド酸化膜3の開口を通して、ポリシリコン抵抗部7の接触部6が形成されている。

その上の窒化シリコン膜4の開口を通して配線金属8、8aが接続され、その上に表面保護用の窒化シリコン膜9が被覆されている。

ポリシリコン抵抗部7の抵抗値を安定させるため、配線金属8、8aで挟まれた領域の外側に、

接触部を設けて放熱路とすることにより、寄生容量を大きくすることなく、温度上昇を小さくすることができ、安定した抵抗素子を得ることができた。

従来技術における膜厚0.5μmのポリシリコン抵抗の幅を4μm、長さを10μmとし、本発明においてはシリコン基板との接触部を形成するため、長さを3μm長くして全長を13μmとし、さらにポリシリコン接触部6の面積を2×2μm²、フィールド酸化膜3の膜厚を1μmとする。

ポリシリコン、酸化シリコンの熱伝導率はそれぞれ168W・⁻¹K⁻¹、1.7W・⁻¹K⁻¹(1℃の値)である。

本発明のポリシリコン抵抗のうち、従来技術より3μm長いシリコン基板との接触部を伝って放熱する経路の熱抵抗を無視して熱抵抗近似的に求めると、

$$A = \frac{(1.0 \times 10^{-6})}{(2.0 \times 10^{-6})^2} \cdot \frac{1}{168}$$

$$B = \frac{(0.3 - 1.5) / 2 \times 10^{-6}}{(0.5 \times 10^{-6}) \cdot (4 \times 10^{-6})} \cdot \frac{1}{168}$$

として

$$R = \frac{\text{熱の伝わる長さ}}{\text{熱の通る断面積}} \times \frac{1}{\text{熱伝導率}} \quad \text{であるので}$$

$$R(\text{従来}) = \frac{1.0 \times 10^{-6}}{(4 \times 10^{-6}) \cdot (10 \times 10^{-6})} \times \frac{1}{1.7} \approx 1.5 \times 10^4 \text{ KW}^{-1}$$

$$R(\text{本発明}) = \left[\frac{1}{R(\text{従来})} + \frac{1}{A+B} \right]^{-1} \approx 8.3 \times 10^3 \text{ KW}^{-1}$$

となり、熱抵抗が従来技術の55%となるので、例えば従来構造で50℃の温度上昇の場合に、本発明では27.5℃の温度上昇に抑えることができる。

また配線金属で挟まれた領域の外に、ポリシリコン接触部があるので、ポリシリコン抵抗部の抵抗値を変化させる心配はない。

さらにポリシリコン接触部は、温度上昇の低減するのに必要最小限の面積に止めて、寄生容量の

増加を極く低かに抑えることができる。

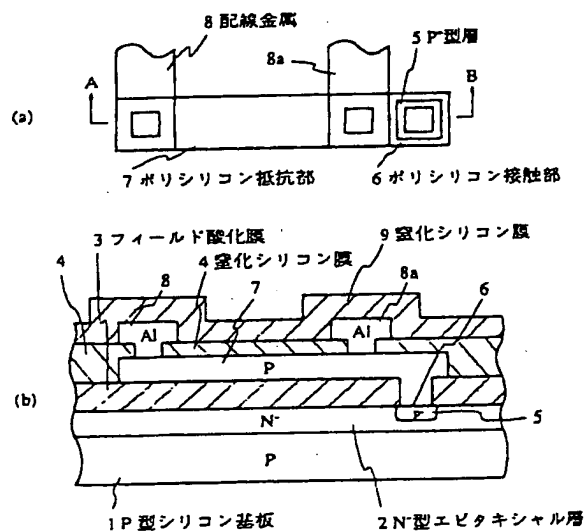
図面の簡単な説明

第1図(a)は本発明の一実施例を示す平面図、第1図(b)は第1図(a)のA-B断面図。

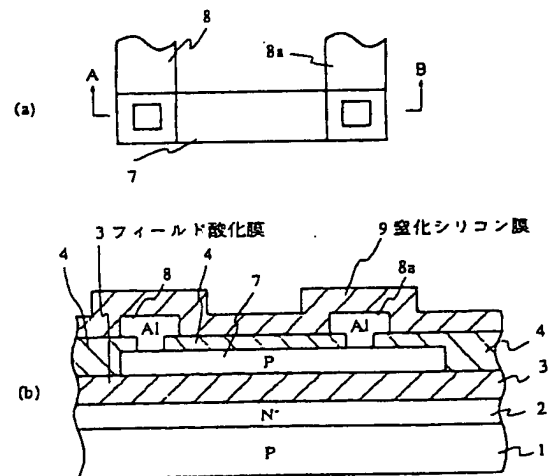
第2図(a)は従来技術によるポリシリコン抵抗の平面図、第2図(b)は第2図(a)のA-B断面図である。

1…P型シリコン基板、2…N⁺型エピタキシャル層、3…フィールド酸化膜、4…窒化シリコン膜、5…P⁺型層、6…ポリシリコン接触部、7…ポリシリコン抵抗部、8、8a…配線金属。

代理人 弁理士 内 原 晋



第1図



第2図

(2) Japanese Patent Application Laid-Open No. 11-354807 (1999)
"Semiconductor Device and Manufacturing Method Thereof"

The following is an English translation of the abstract, which appears on the first page of this document.

【Abstract】

【Object】 The object of the present invention is to provide a semiconductor device and manufacturing method thereof that improve the dissipation of a heat generated in a circuit element region, effectively utilizing a semiconductor substrate (1) having an SOI structure that bonds an active substrate (1C) to a support substrate (1A) through an insulator (1B). Further object is to provide a semiconductor device that comprises intelligent power devices.

【Structure】 The method forms a heat dissipation trench (4) that penetrates the active substrate (1C) and the insulator (1B) of the semiconductor substrate (1), which has the SOI structure, and fills up the heat dissipation trench (4) with a buried active substance (5). The heat dissipation trench (4) is formed by use of an isolation trench (2) in an element isolation region. The buried active substance (5), which has high heat conductivity, forms an operation region of power transistors. A heat generated by the operation of the power transistors is dissipated to the support substrate (1A) through the buried active substance.

The following is English translation of page 12, left section, line 12

to right section, line 25 of the document.

【Description of symbols】

- 1 semiconductor substrate
- 1A support substrate
- 1B insulator
- 1C active substance
- 2 isolation trench
- 3 buried insulator
- 4 heat dissipation trench
- 5 buried active substance
- 6 well region
- 10, 10n, 10p gate insulation film
- 11, 11n, 11p gate electrode
- 12, 13, 13n, 13p, 14, 14p semiconductor region
- 18, 18a, 18b, 18N, 20, 20N wiring
- 21 isolation insulator film
- 22 bottom surface electrode
- PTr power transistor
- NTr transistor formation region